وزارت علوم، تحقیقات و فناوری

دانشگاه جیرفت

سیستمهای دیجیتال ۱

جلسه ۱۴

مدرس: دکتر محمد هاشمی‌نژاد

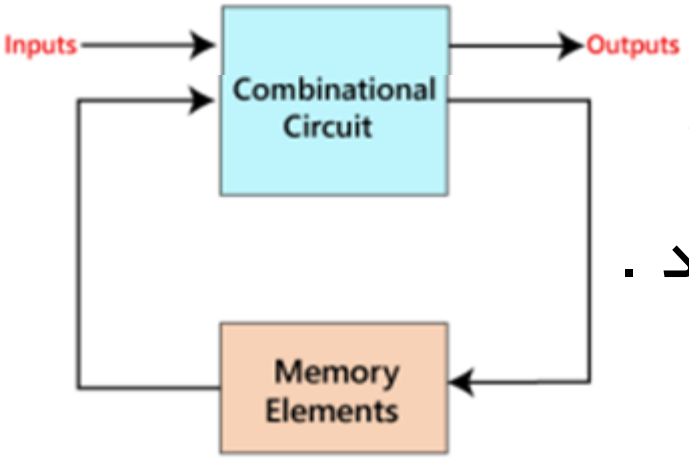
محتوای درس

- نگهدار SR دارای فعال ساز
- نگهدار D دارای فعال ساز
- فلیپ فلاپ D
- فلیپ فلاپ JK
- پارامترهای زمانی فلیپ فلاپ ها
- ست و ریست (SR) اتوماتیک
- اشمیت تریگر
- حذف جهش سوئیچ های مکانیکی
- چند نکته عملی

وزارت علوم، تحقیقات و فناوری
دانشگاه جیرفت

مقدمه

- مدارات منطقی ترکیبی: (Combinational Logic)خروجی فقط به وضعیت منطقی ورودی ها در همان لحظه وابسته است .
- مدارات منطقی ترتیبی: (Sequential Logic)خروجی به وضعیت منطقی ورودی ها در همان لحظه و خروجی های گذشته وابسته است .

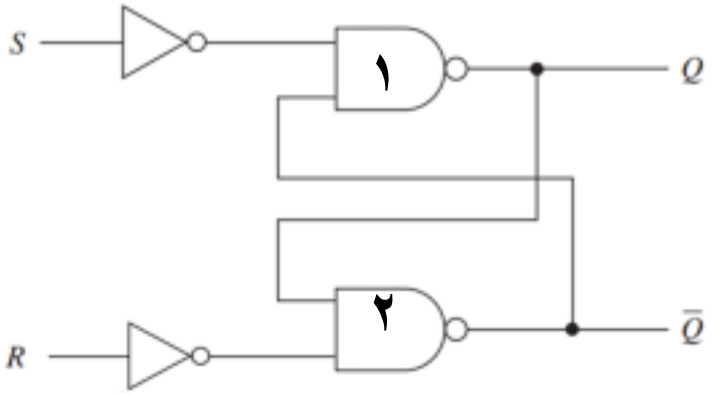


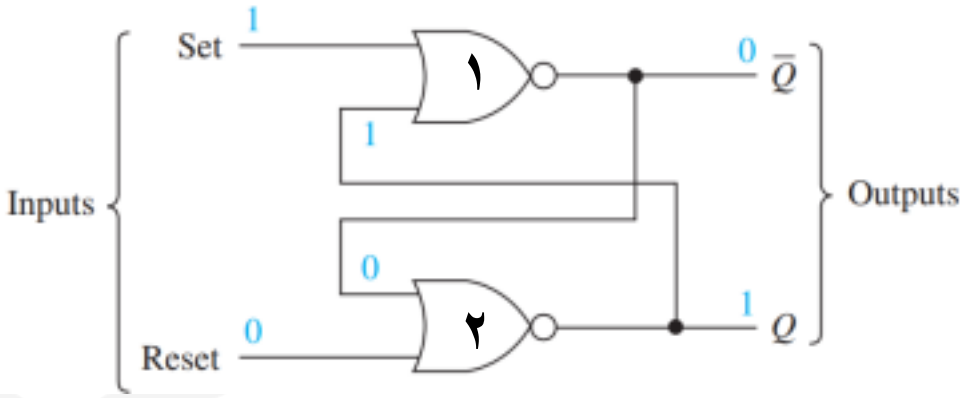
- برخی از مهمترین مدارات ترتیبی :شیفت رجیستر، شمارنده ، تایمر
- المان های پایه در مدارات ترتیبی نگهدارها و فلیپ فلاپ ها هستند .
- مهمترین انواع :نگهدارهای SR و D + فلیپ فلاپ های D وJK

وزارت علوم، تحقیقات و فناوری
دانشگاه جیرفت

نگهدارSR

- نگهدار SR برای ذخیره سازی یک بیت استفاده می شود .
- اتصال فیدبک دار توسط گیت های NOR و NAND ساخته می شود.



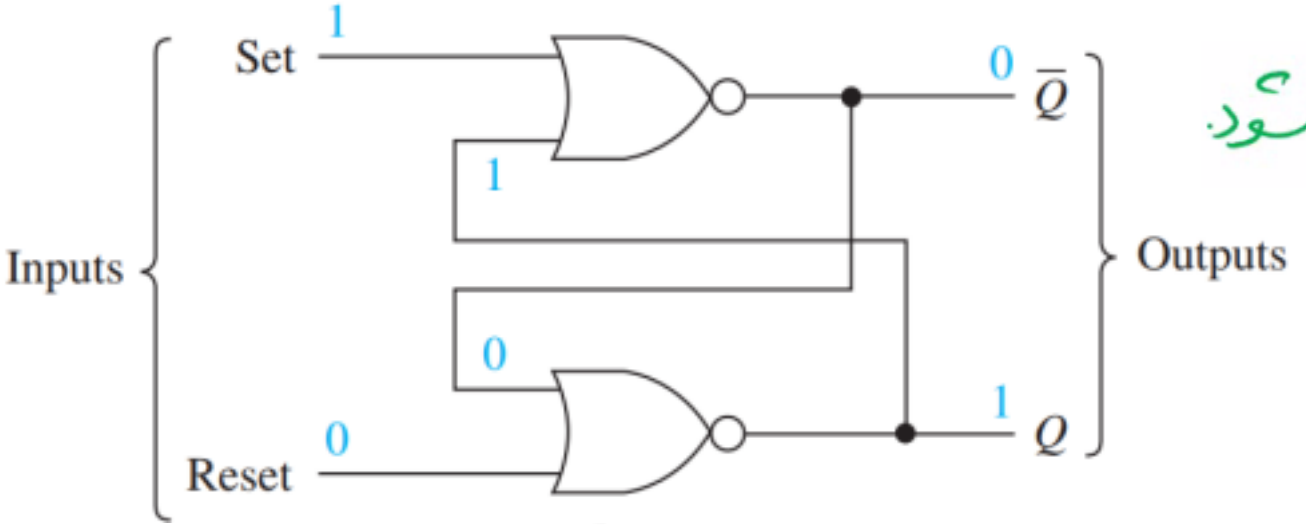


- از ورودی Set برای ست کردن (یک منطقی کردن) خروجی نگهدار استفاده می شود.
- از ورودی Reset برای ریست کردن (صفر منطقی کردن) خروجی نگهدار استفاده می شود.

نگهدارSR

- در ابتدا که برق مدار وصل می شود، وضعیت منطقی خروجی ها مشخص نیست.
- اگر S = ۱ و R = ۰ باشند، خروجی Q ست می شود و ست می ماند حتی اگر S = ۰ شود.

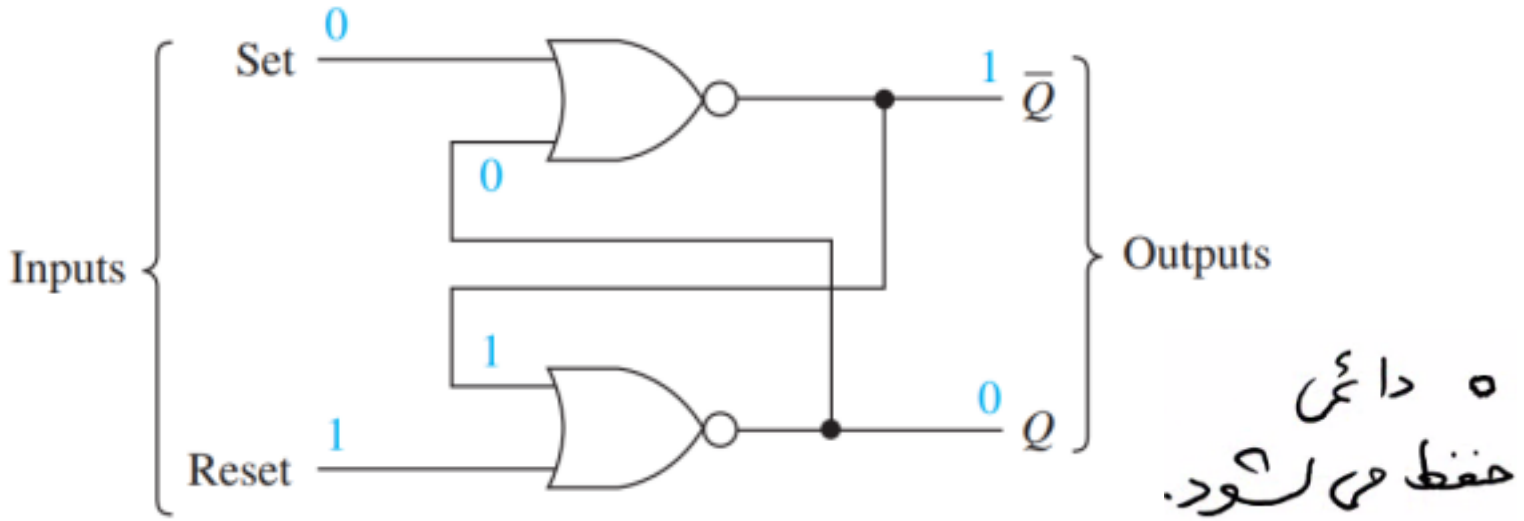
حافظه



$\bar{Q}$ در ۰ قفل می شود.

نگهدارSR

- اگر S = ۰ و R = ۱ باشند، خروجی Q ریست می شود و ریست می ماند حتی اگر R = ۰ شود.



۰ دائم حفظ می شود.

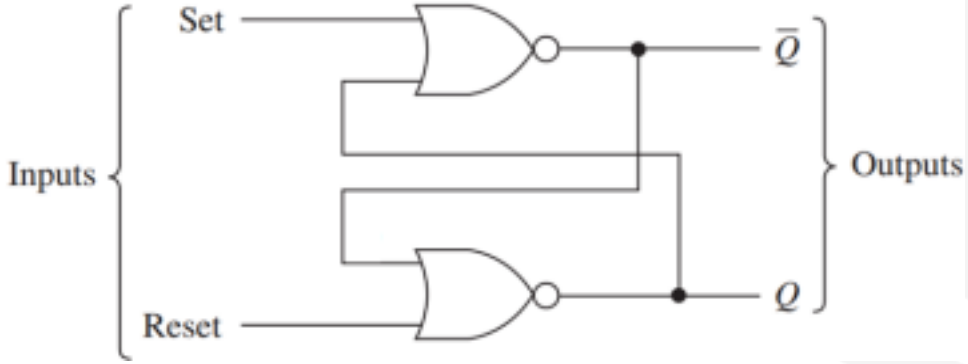
- اگر S = ۰ و R = ۰ باشند، خروجی Q نگهداری می شود (بدون تغییر باقی می ماند).

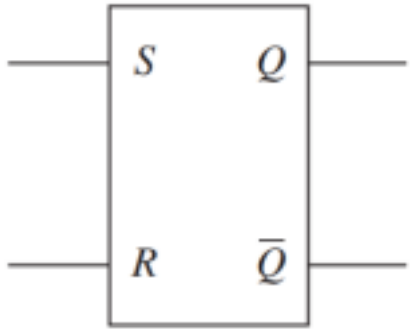
Hold

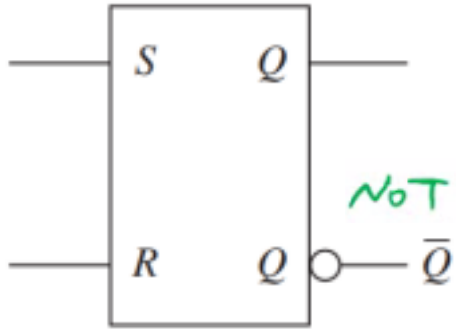
نگهدارSR

ناپایدار

- وضعیت S = ۱ و R = ۱ممنوع است و نباید اتفاق بیفتد (منجر به خروجی نامشخص می شود).





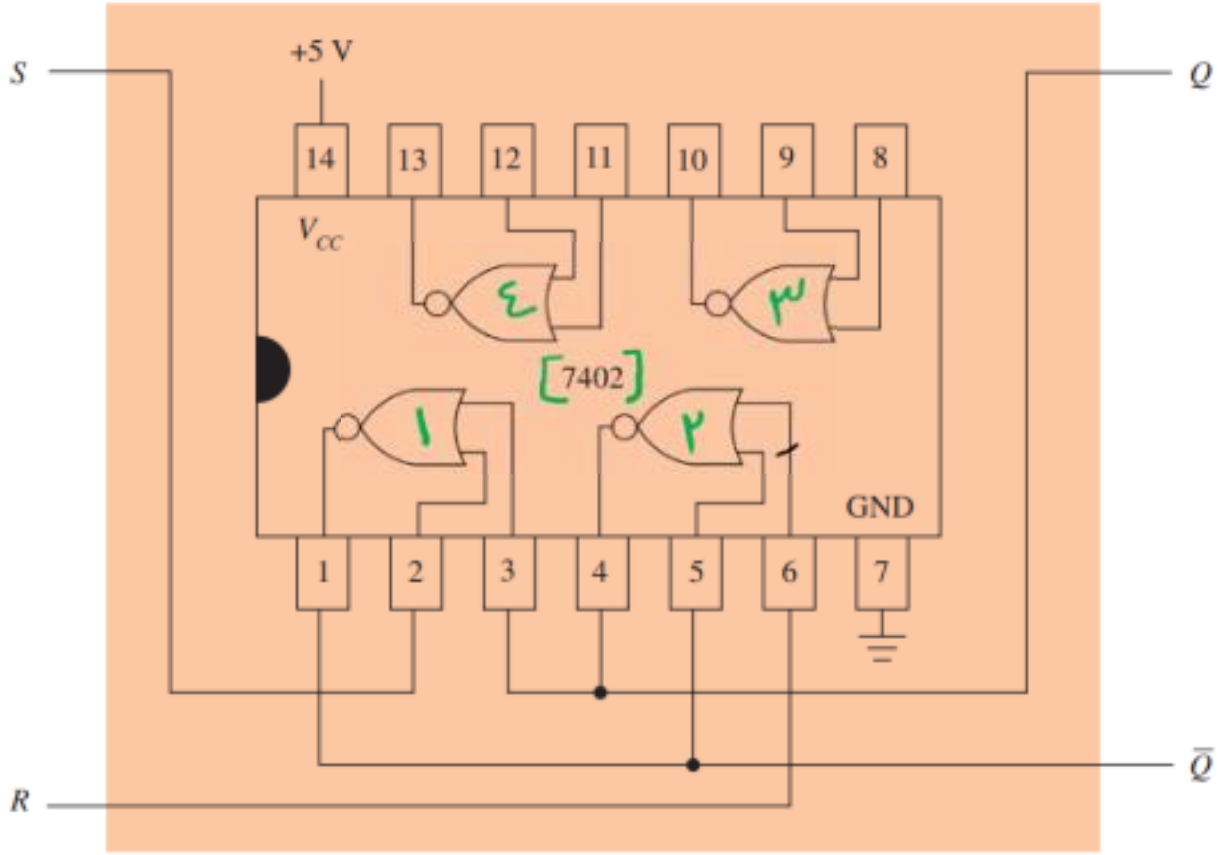


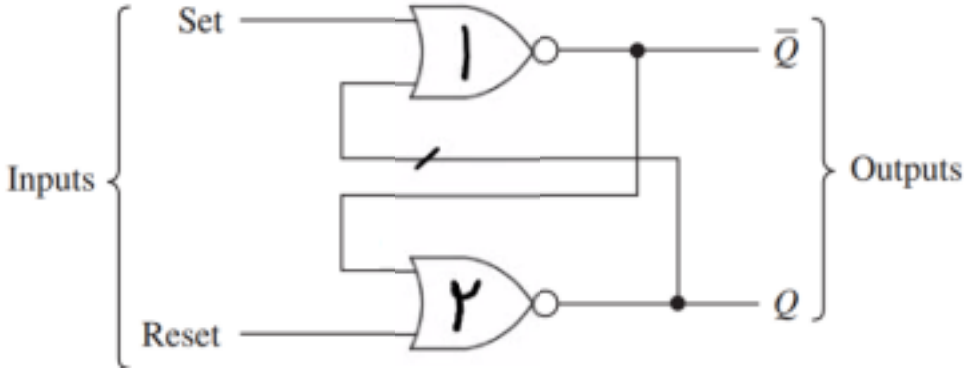
- جدول عملکرد نگهدارD:

S	R	Q	$\bar{Q}$	Comments
0	0	Q	$\bar{Q}$	*Hold* condition (no change)
1	0	1	0	Flip-flop Set
0	1	0	1	Flip-flop Reset
1	1	0	0	Not used

نگهدارSR

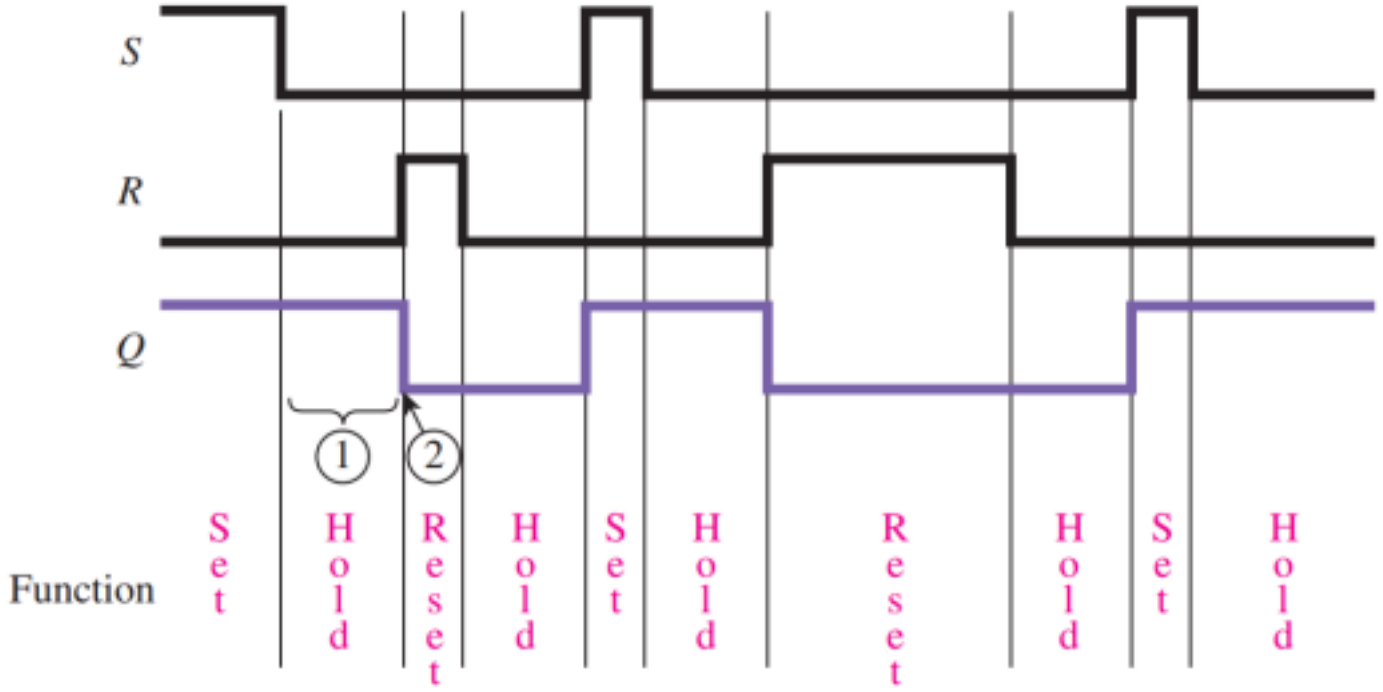
- ساخت نگهدار SR با آی سی NOR





نگهدارSR

- اعمال سیگنال های پالسی به ورودی های ست و ریست جهت رسم دیاگرام زمان بندی



- نتیجه :خروجی نگهدار به وضعیت لحظه ای ورودی های آن وابسته است (Transparent)

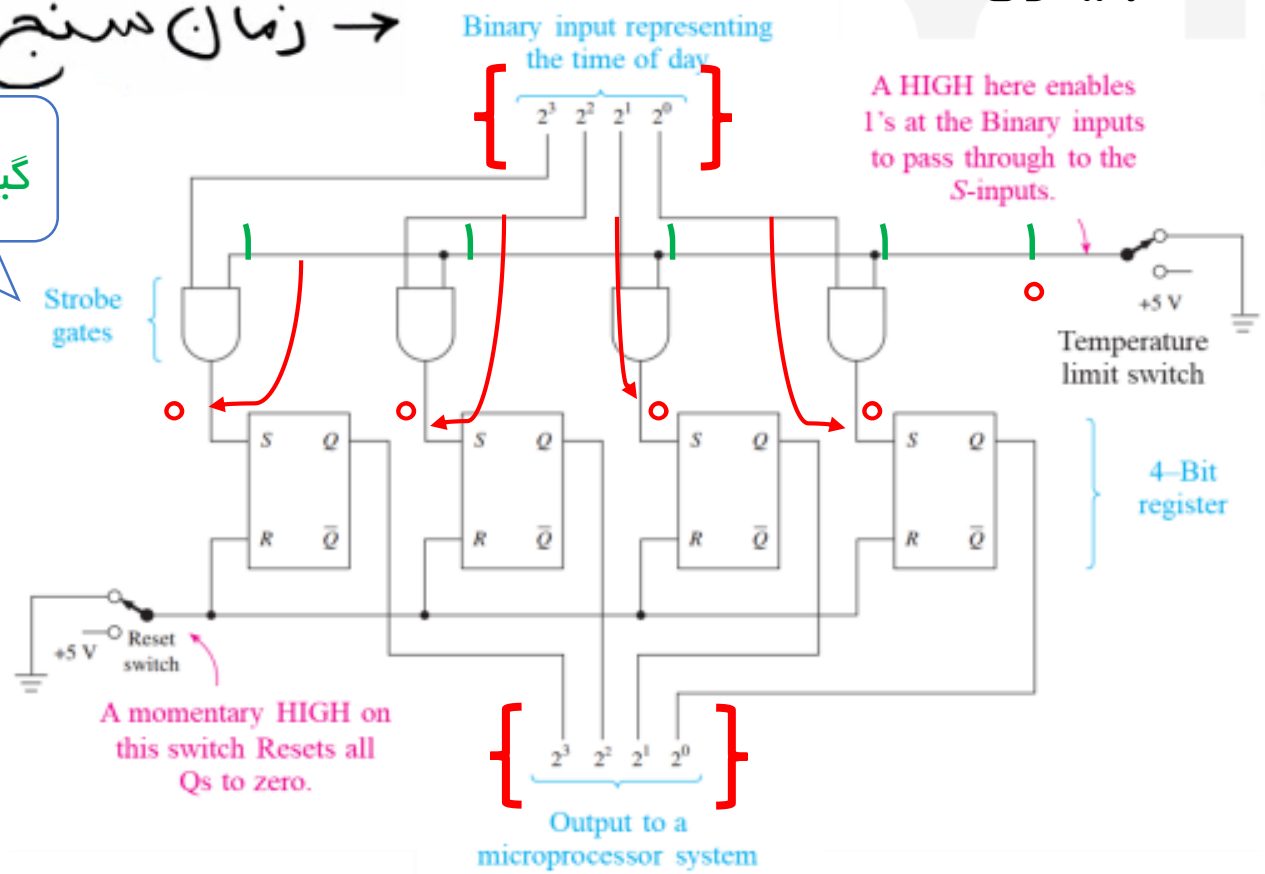
نگهدار SR

- کاربرد در ذخیره سازی اطلاعات باینری

۱۰۰۱ → ۹

زمان سنج → ۱۲-۰

گیت های فعال ساز

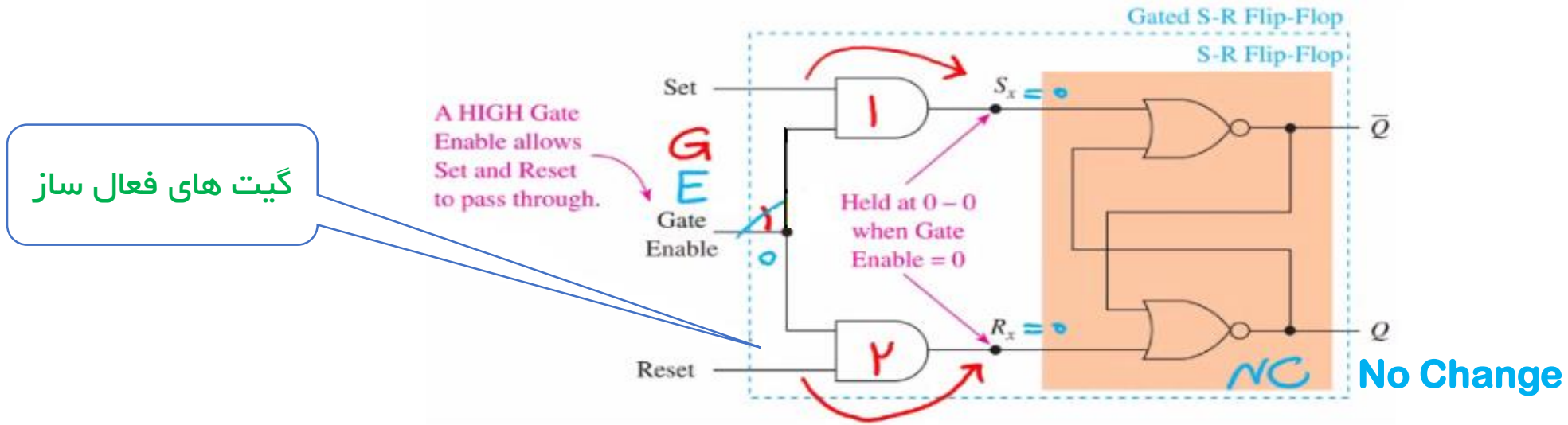


$T > T_s$

سوییچ دما یا ترموستات

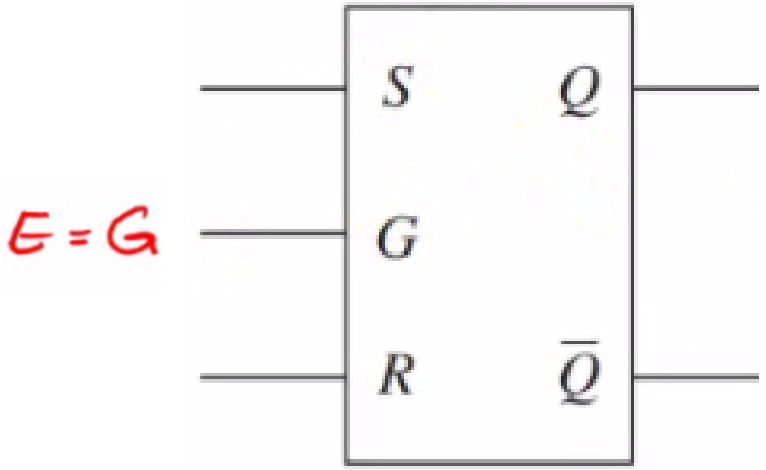
نگهدار SR دارای فعال ساز

- برای سنکرون کردن عملکرد نگهدار با سیگنال های دیگر یک ورودی فعال ساز اضافه می شود.
- مدارات سنکرون به صورت همزمان با یک سیگنال کنترلی عمل می کنند .
- تا زمانی که سیگنال کنترلی فعال نباشد، تغییر وضعیتی هم در مدار ایجاد نمی شود.



نگهدار SR دارای فعال ساز

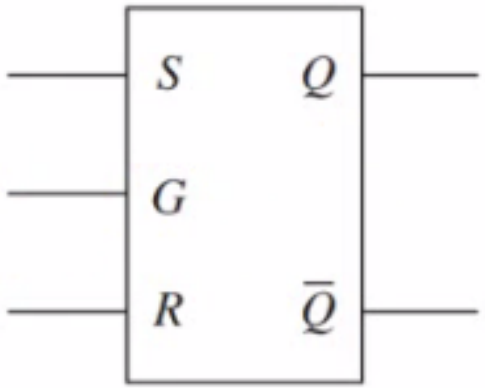
- برای سنکرون کردن عملکرد نگهدار با سیگنال های دیگر یک ورودی فعال ساز اضافه می شود.
- مدارات سنکرون به صورت همزمان با یک سیگنال کنترلی عمل می کنند.
- تا زمانی که سیگنال کنترلی فعال نباشد، تغییر وضعیتی هم در مدار ایجاد نمی شود .

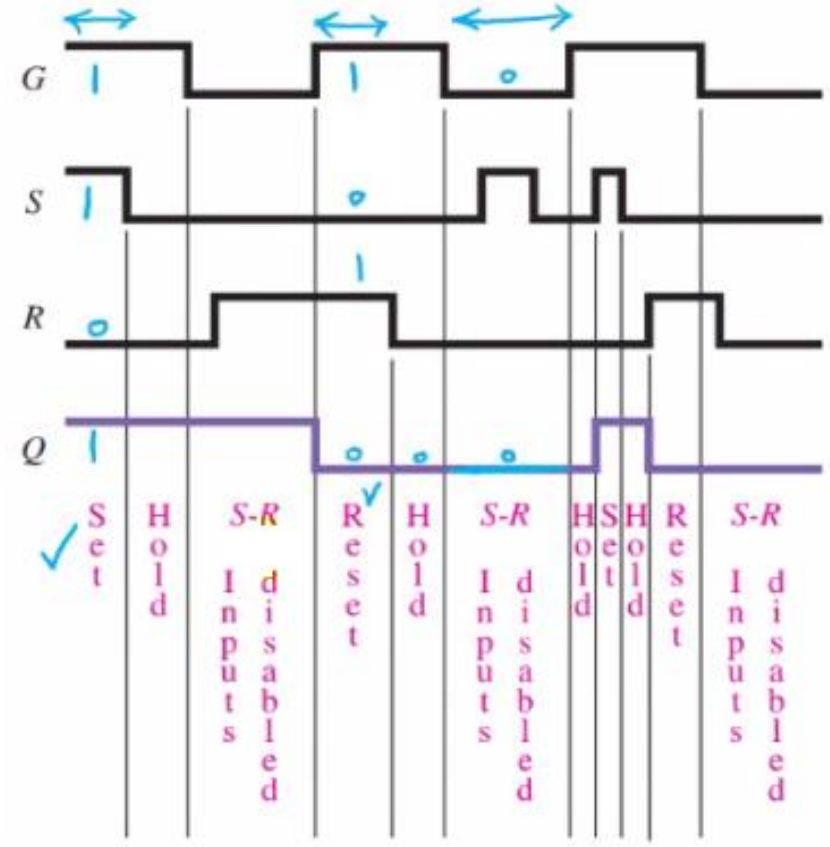


G	S	R	Q	$\bar{Q}$	Comments	
0	0	0	Q	$\bar{Q}$	Hold	S-R inputs disabled
0	0	1	Q	$\bar{Q}$	Hold	
0	1	0	Q	$\bar{Q}$	Hold	
0	1	1	Q	$\bar{Q}$	Hold	
1	0	0	Q	$\bar{Q}$	Hold	S-R inputs enabled
1	0	1	0	1	Reset	
1	1	0	1	0	Set	
1	1	1	0	0	Unused	

نگهدار SR دارای فعال ساز

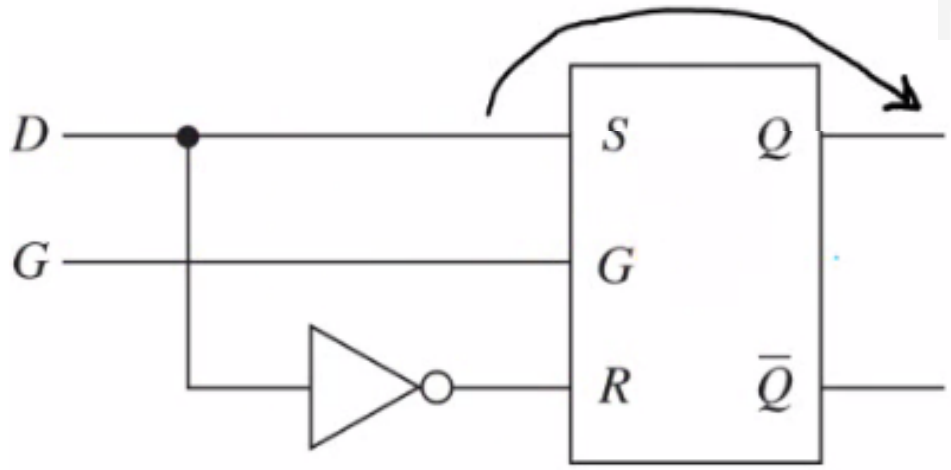
- اگر سیگنال کنترلی فعال شود، عملکرد مدار شبیه نگهدار آسنکرون است .



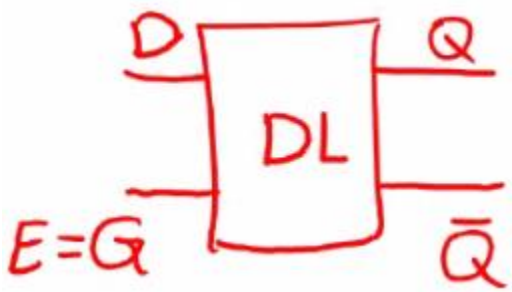


نگهدار D دارای فعال ساز

- نگهدار(Latch Data)D با اضافه کردن یک گیت NOT به نگهدار SR ساخته می شود.
- ورودی های ست و ریست همواره قرینه منطقی همدیگر می شوند .



- حالت ممنوعه حذف می شود .



G=1

- عملکرد ۱ :سیگنال کنترلی فعال >> D = Q
- عملکرد ۲ :سیگنال کنترلی غیرفعال>> Change No

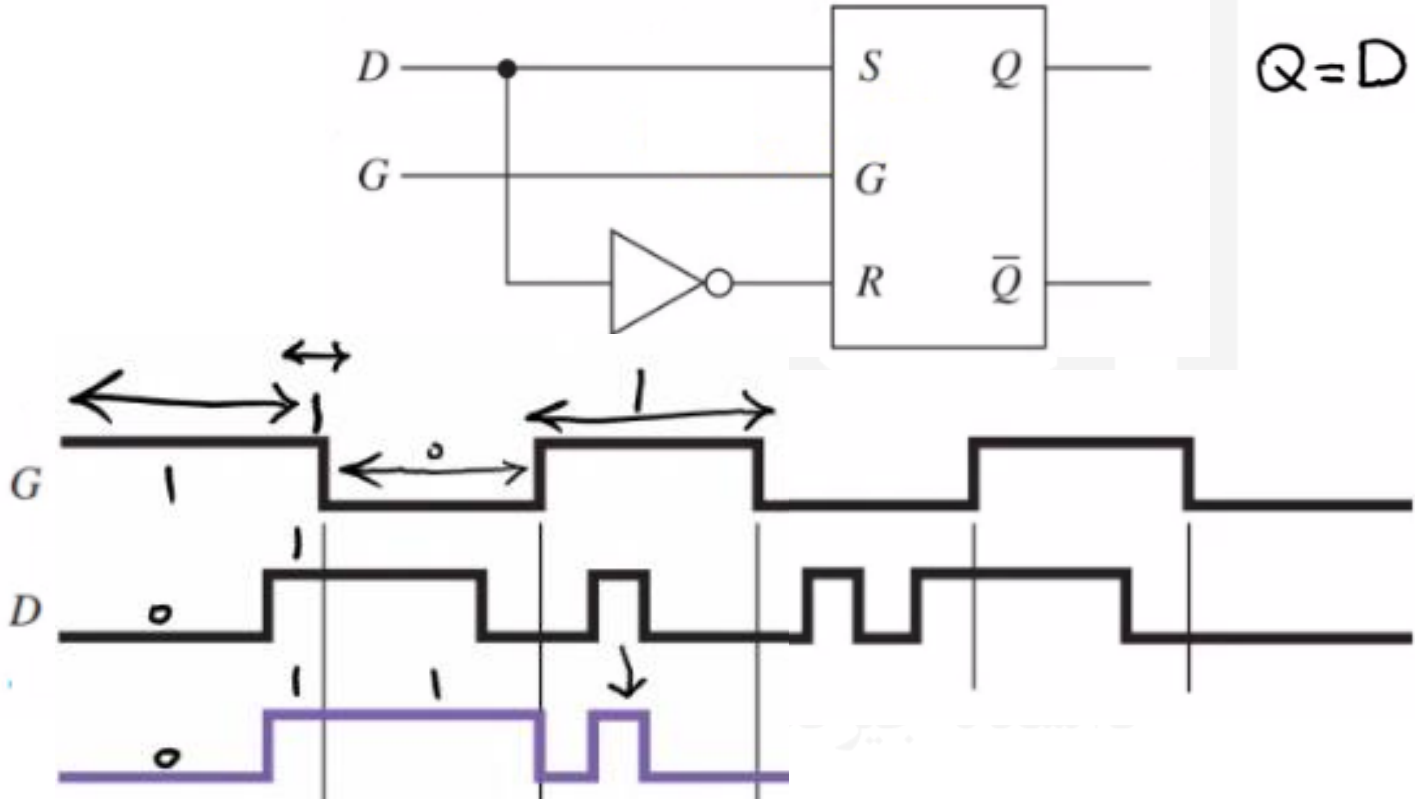
Hold

G=0

Https://www.drisnet.com

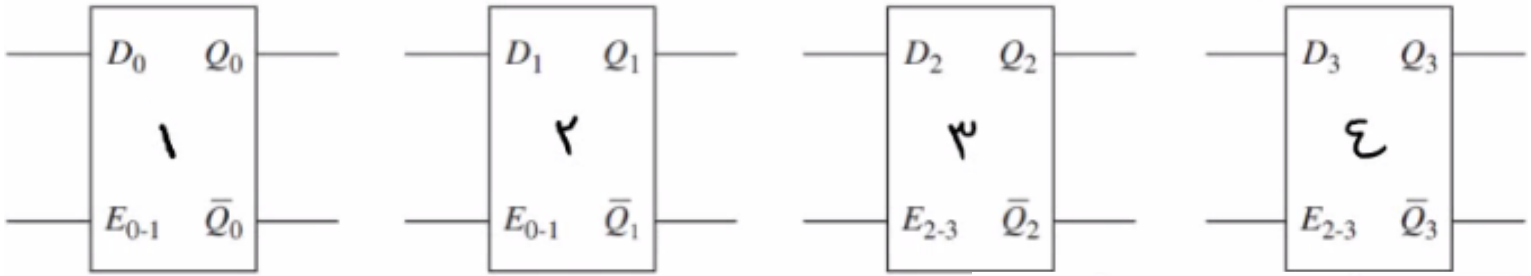
نگهدار D دارای فعال ساز

- دیاگرام زمان بندی



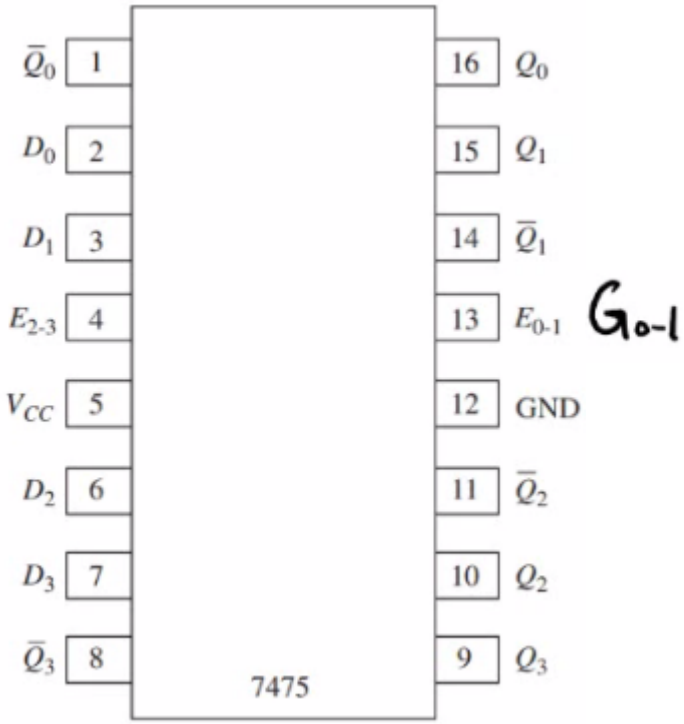
نگهدار D دارای فعال ساز

- آی سی ۷۴۷۵: شامل ۴ نگهدارD+ دو سیگنال کنترلی



Operating Mode	Inputs E	Inputs D	Out Q	Out $\bar{Q}$
Data enabled	H	L	L	H
Data enabled	H	H	H	L
Data latched	L	x	q	$\bar{q}$

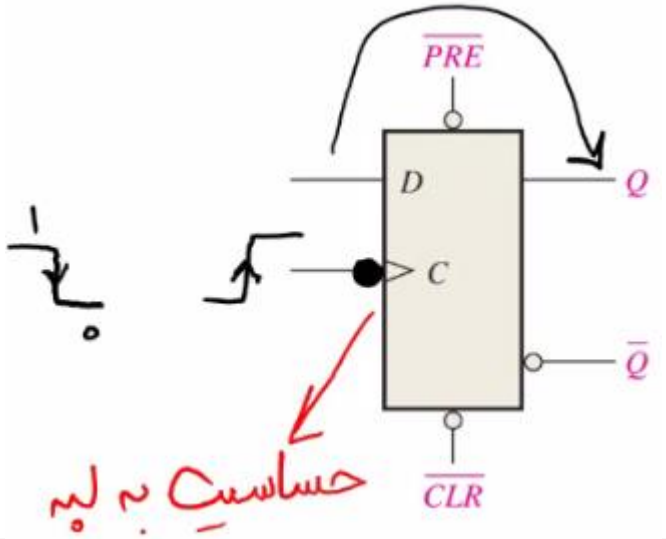
q = state of Q before the HIGH-to-LOW edge of E; x = don't care.

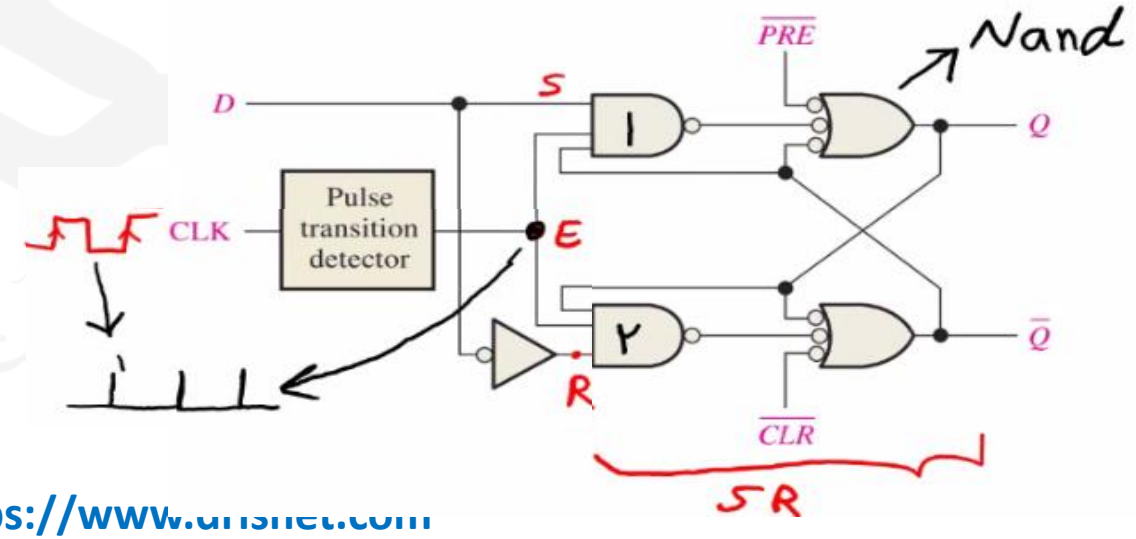


فلیپ فلاپD

- فلیپ فلاپ D همانند نگهدار D است با این تفاوت که حساس به لبه های سیگنال کنترلی است .
- همچنین فلیپ فلاپ D دارای ورودی های Preset و Clear هم است که برای ست کردن و یا ریست کردن آن بدون توسط به سیگنال کنترلی و وضعیت خروجی ها استفاده می شوند .

Reset Set

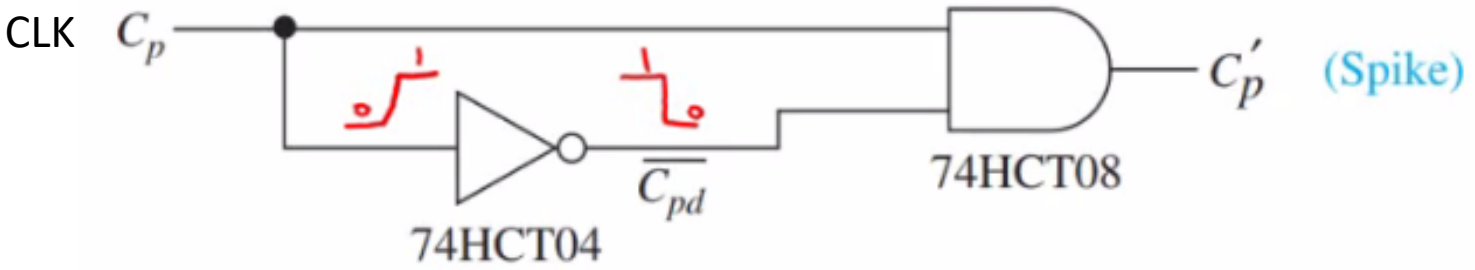


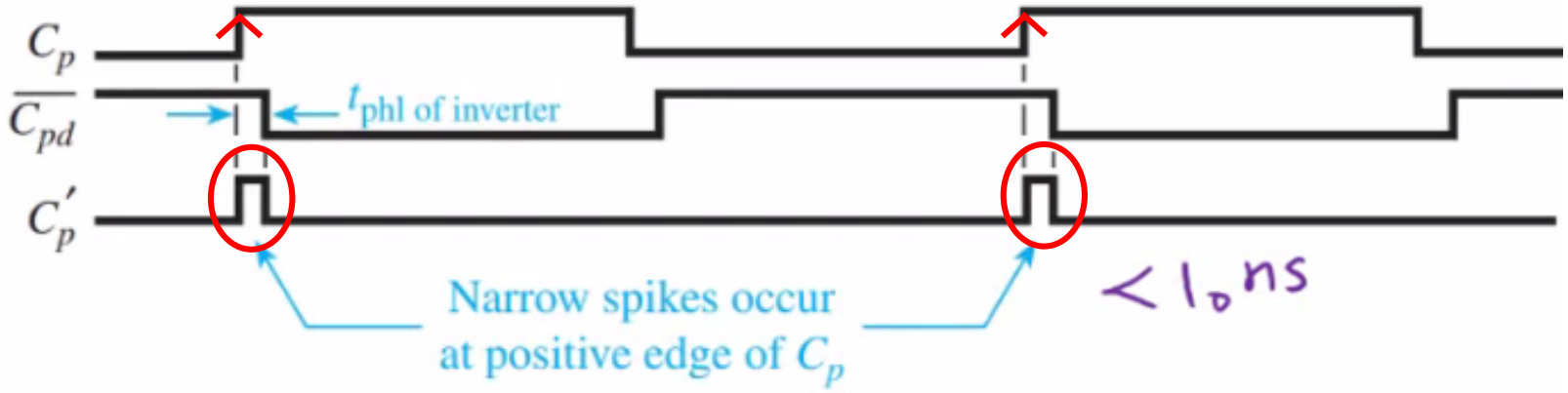


Https://www.arsnet.com

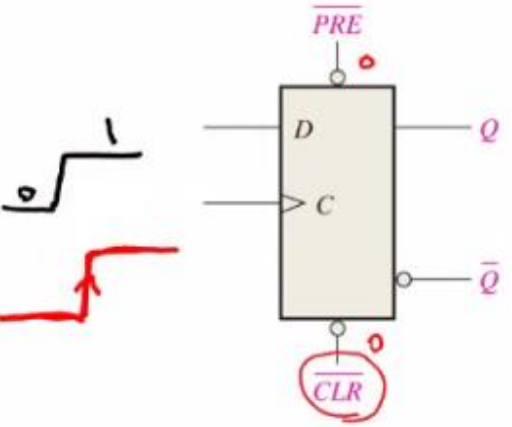
فلیپ فلاپD

- بلوک آشکارسازی لبه توسط تاخیرهای انتشار خود گیت های منطقی ساخته می شود.





فلیپ فلاپD



- جدول عملکرد
- برای ست شدن ورودی D باید زودتر از زمان لبه بالارونده HIGH شود .
- برای ریست شدن ورودی D باید زودتر از زمان لبه بالارونده LOW شود .

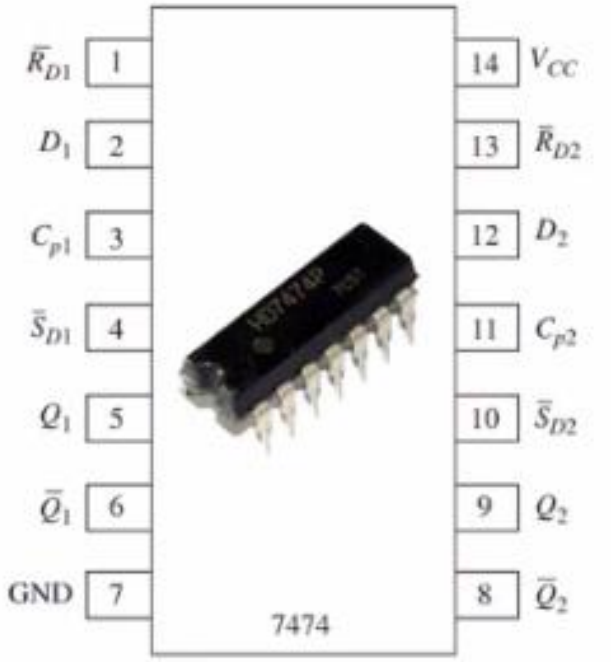
Operating Mode	Inputs $\overline{PRE}$	Inputs $\overline{CLR}$	Inputs C	Inputs D	Outputs Q	Outputs $\overline{Q}$
Asynchronous Set	L	H	x	x	H	L
Asynchronous Reset	H	L	x	x	L	H
Not used	L	L	x	x	H	H
Synchronous Set	H	H	↑	H *high*	H	L
Synchronous Reset	H	H	↑	L *low*	L	H

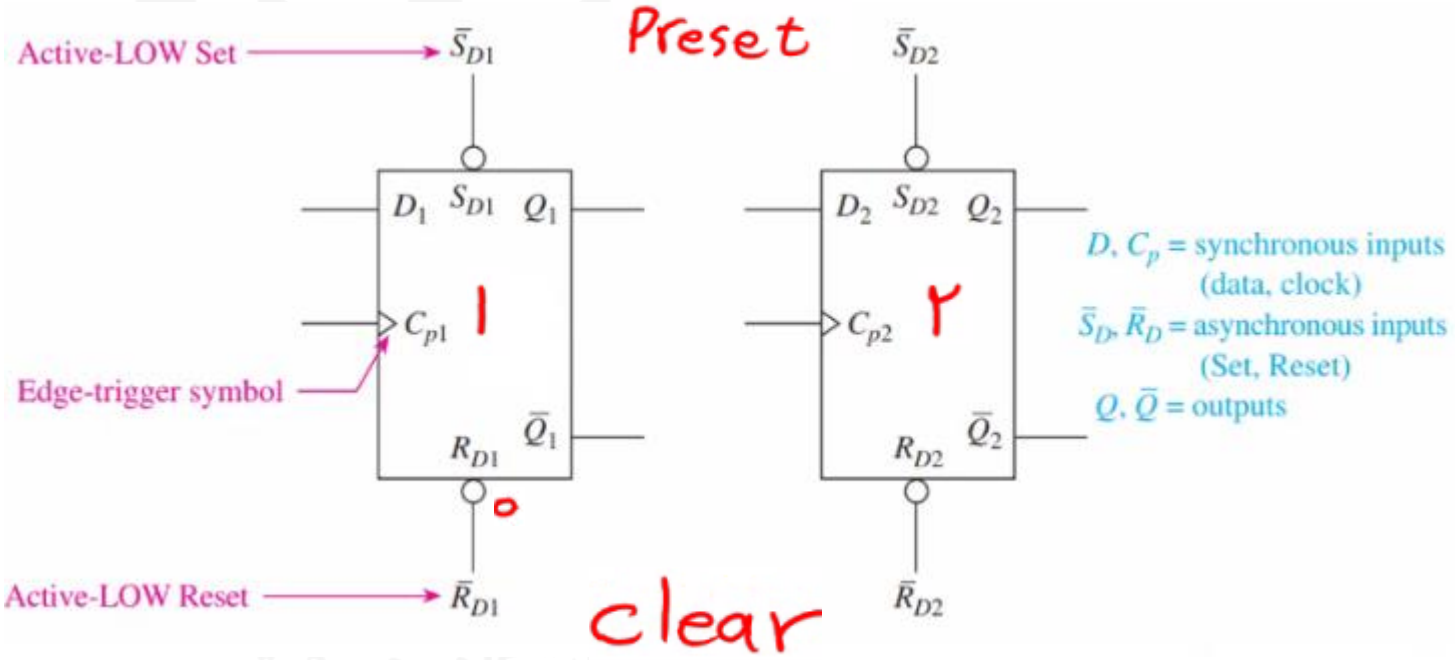
X means that we "don't care"

غیرفعال

فلیپ فلاپD

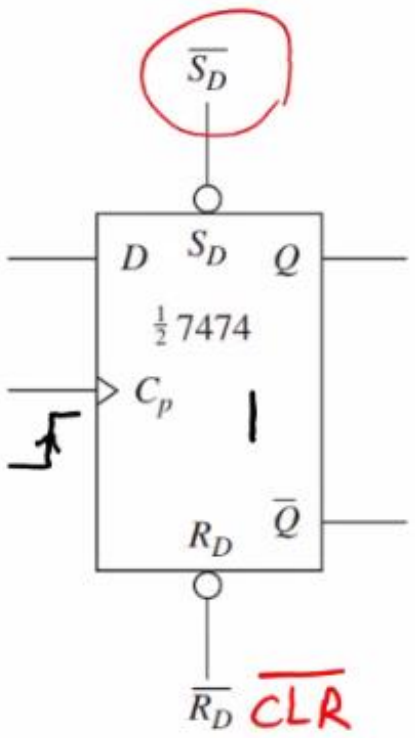
- آی سی ۷۴۷۴: شامل دو فلیپ فلاپ D حساس به لبه بالارونده با ورودی های ست و ریست

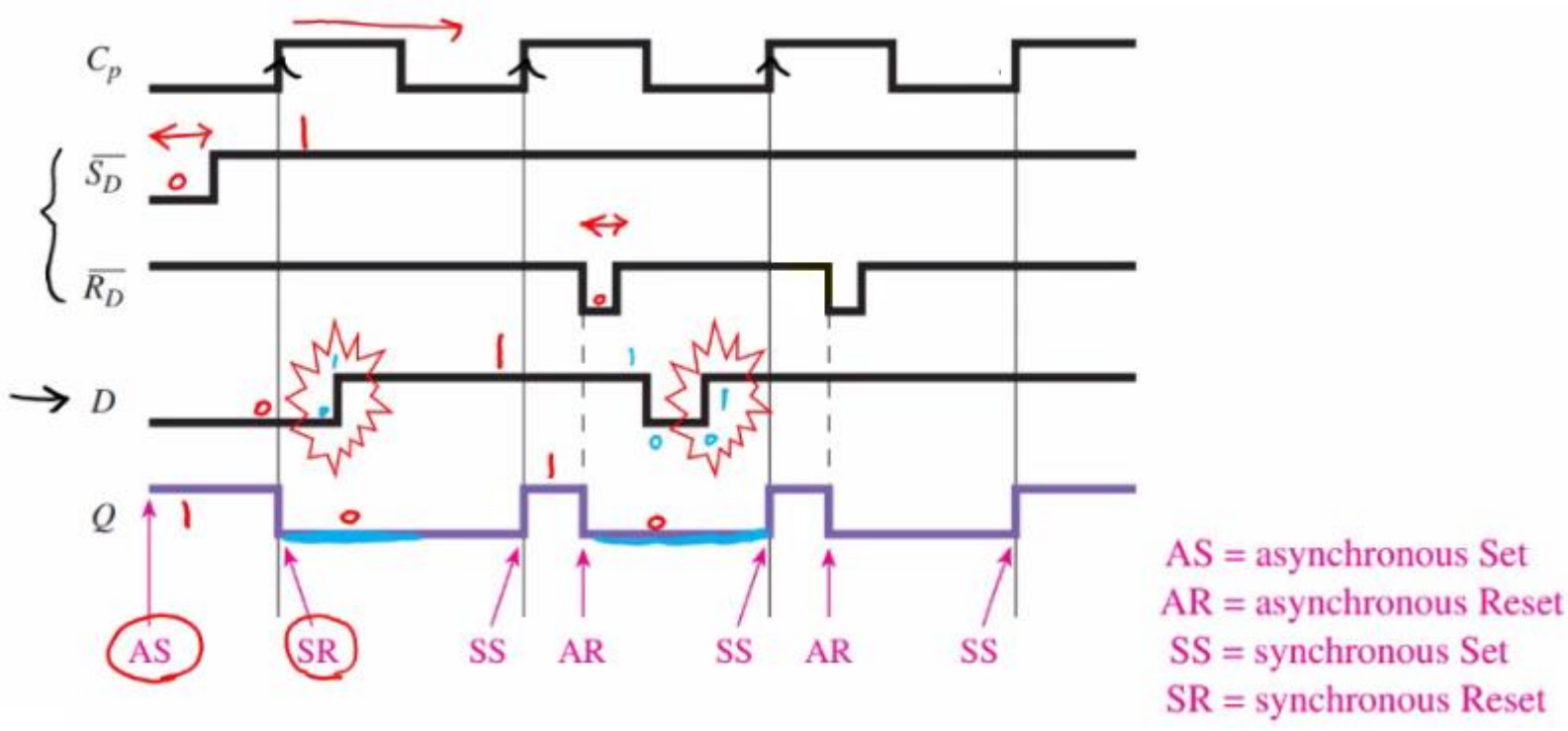




فلیپ فلاپD

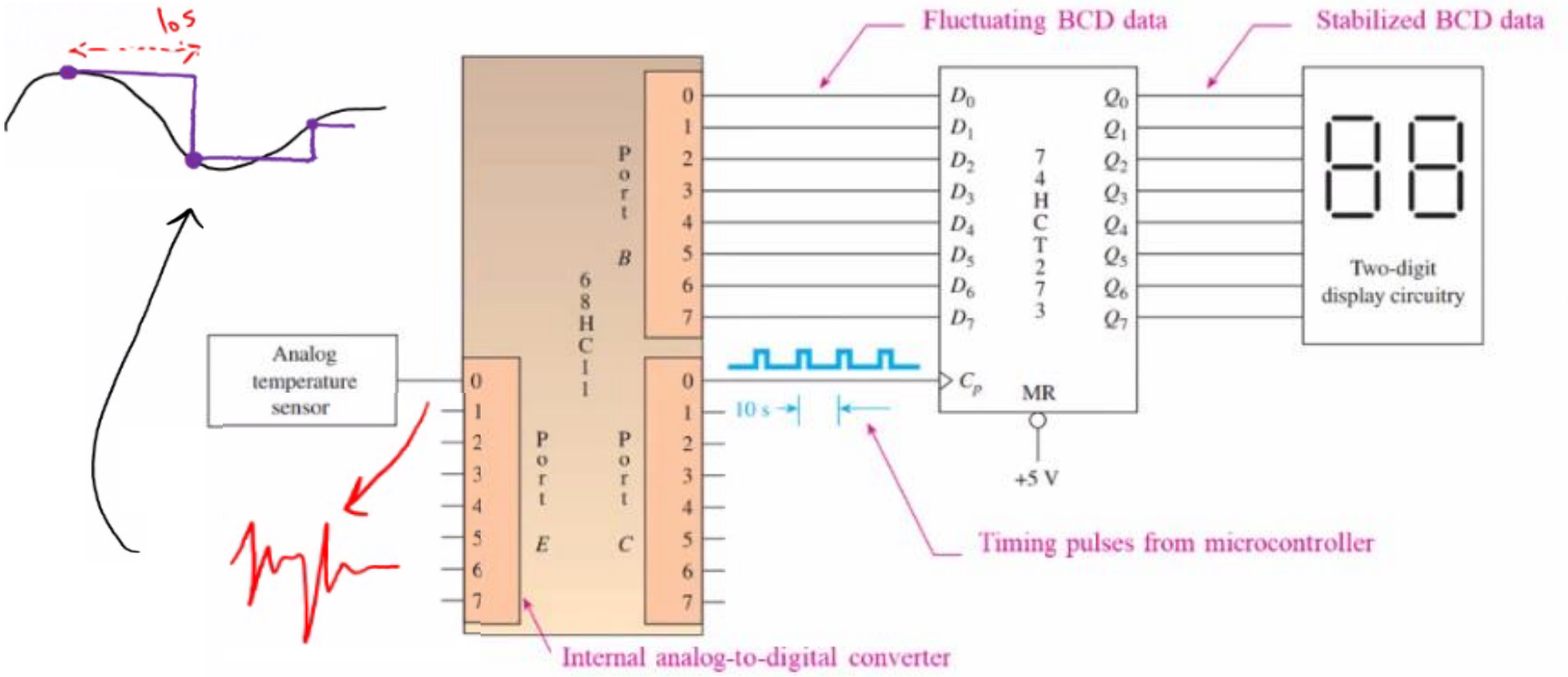
- آی سی ۷۴۷۴: شامل دو فلیپ فلاپ D حساس به لبه بالارونده با ورودی های ست و ریست





فلیپ فلاپD

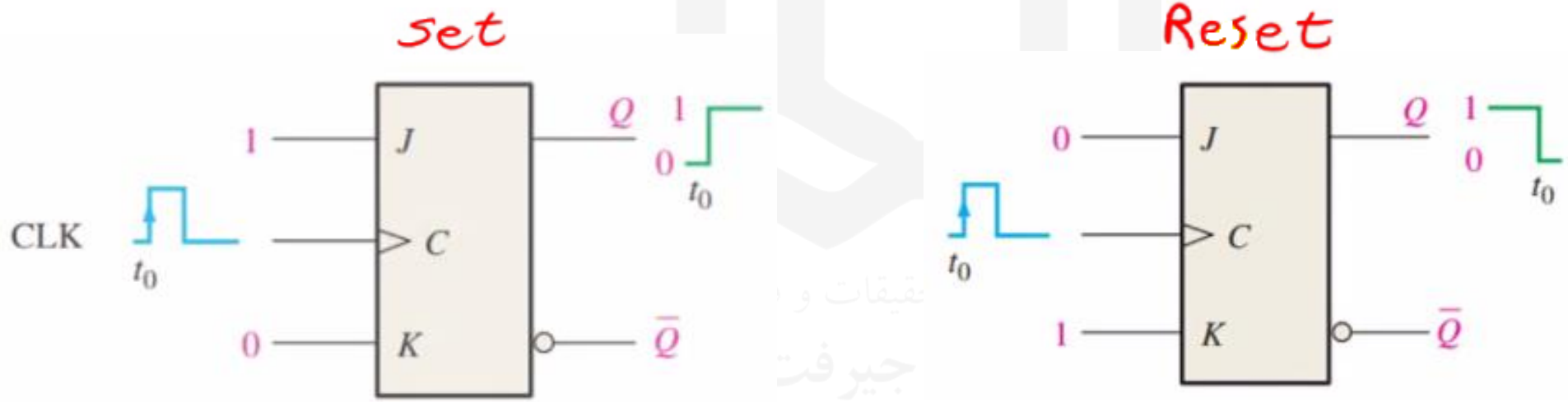
- کاربرد فلیپ فلاپ D در اتصال نمایشگر به میکروکنترلر (آی سی74HCT273)



فلیپ فلاپJK

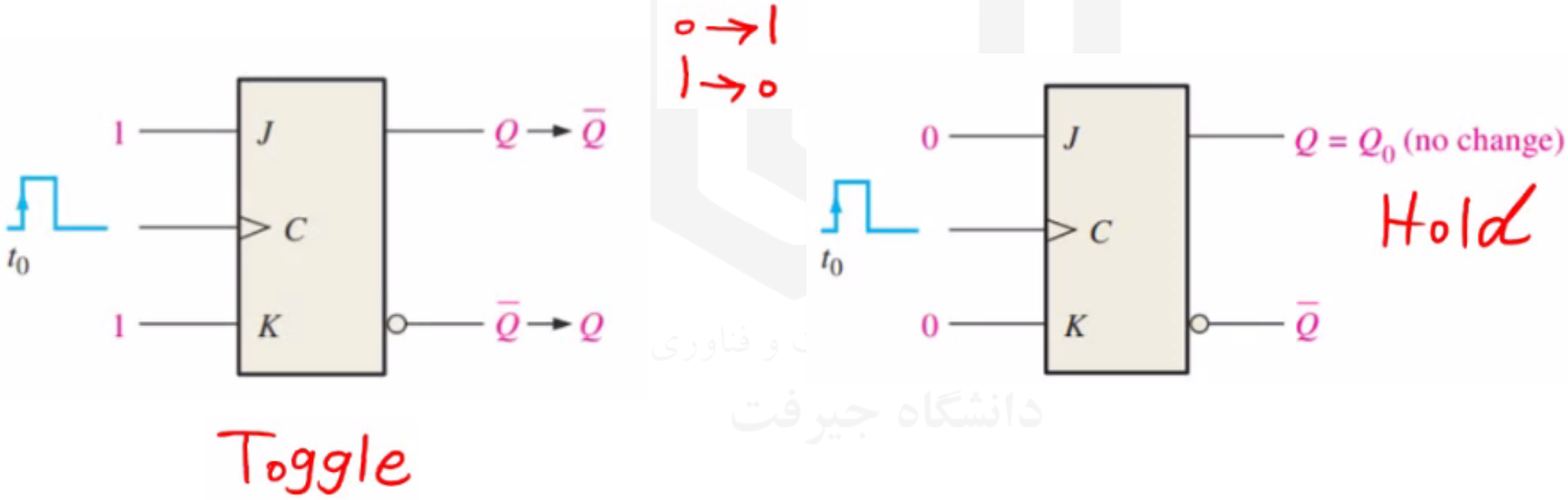
S → J
R → K

- فلیپ فلاپ JK همانند نگهدار SR است با این تفاوت که حساس به لبه است و یک مد جدید Toggle هم برای زمانی که هر دو ورودی یک منطقی هستند، اضافه شده است.
- کاری مدهای:Set، Reset، No Change و Toggle



فلیپ فلاپJK

- فلیپ فلاپ JK همانند نگهدار SR است با این تفاوت که حساس به لبه است و یک مد جدید Toggle هم برای زمانی که هر دو ورودی یک منطقی هستند، اضافه شده است.
- کاری مدهای:Set، Reset، No Change و Toggle



فلیپ فلاپJK

- فلیپ فلاپ JK همانند نگهدار SR است با این تفاوت که حساس به لبه است و یک مد جدید Toggle هم برای زمانی که هر دو ورودی یک منطقی هستند، اضافه شده است.
- کاری مدهای:Set، Reset، No Change وToggle

Inputs			Outputs		
J	K	CLK	Q	$\overline{Q}$	Comments
0	0	↑	Q_0	$\overline{Q}_0$	No change
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	$\overline{Q}_0$	Q_0	Toggle

↑ = clock transition LOW to HIGH
Q_0 = output level prior to clock transition

فلیپ فلاپJK

- دیاگرام زمان بندی